

文章编号:1007-2780(2014)01-0088-06

基于 FPGA 的 VGA 波形显示系统设计与实现

郑争兵

(陕西理工学院 物理与电信工程学院, 陕西 汉中 723000)

摘要:为了适应嵌入式系统显示终端的图形显示应用需要,提出了一种通用的 VGA 波形显示系统。依据 VGA 的显示原理,该系统 FPGA 内部集成 A/D 控制模块、双口 RAM 模块和 VGA 显示控制模块,利用双口 RAM 完成了采集数据的缓存,通过 VGA 显示控制模块读取缓存数据,产生标准的 VGA 控制时序信号,实现数据的图形显示。测试结果表明:基于 FPGA 的波形显示系统能够产生正确的 VGA 接口时序,完成波形数据的稳定显示。该系统具有自主知识产权,方便移植,为基于 FPGA 的嵌入式可视化终端提供一种较好的解决方案。

关键词:现场可编程门阵列;视频图形阵列;波形显示;显示模式

中图分类号:TN873 **文献标识码:**A **doi:**10.3788/YJYXS20142901.0088

Design and implementation of VGA waveforms display system based on FPGA

ZHENG Zheng-bing

(School of Physics and Telecommunication Engineering, Shaanxi University of Technology,
Hanzhong 723000, China)

Abstract: In order to meet the graphics display application needs of the display terminal of the embedded system, a universal VGA waveforms display system was proposed. According to the VGA display principle, the system internal FPGA integrated A / D control module, dual-port RAM module and VGA display control module. The dual-port RAM was used to complete the acquisition data cache, the VGA display control module read the cached data, produced the standard VGA control timing signal, and then realized the graphical display of data. The test results show that the waveforms display system based on FPGA can generate the correct timing of the VGA port and implement a stable display of the waveforms data. The system with independent intellectual property core is easy to transplant and provides a better solution for the embedded visualization terminals based on FPGA.

Key words: FPGA; VGA; waveforms display; display mode

1 引言

视频图形阵列 (Video Graphic Array, VGA) 是

一种视频显示标准,具有分辨率高,反应速度快,显示彩色颜色等优点,被广泛应用于各类显示终端。为了较好地实现终端的图形显示,通常采用专门的显卡完成视频信号的采集、缓存和显示。

收稿日期:2013-07-15;修订日期:2013-09-09.

基金项目:陕西省教育厅科研计划项目资助(No. 2013JK1059);陕西理工学院科研计划(No. SLGKY12-21)

这种系统的硬件较为复杂,集成度低,而且成本较高,很难满足嵌入式、便携式智能仪表的应用要求。随着高性能的现场可编程门阵列(Field Programmable Gate Array, FPGA)的广泛应用, FPGA 拥有丰富的硬件资源,较强的可重配置能力,可以实现自主知识产权核,减小系统硬件规模,已经成为嵌入式系统设计的主流硬件平台之一^[1-3]。因此,提出一种基于FPGA的VGA波形显示系统,能够充分利用FPGA构建的VGA显示控制电路,实现标准时序下的液晶显示控制和驱动功能,完成信号波形的快速显示。该系统设计的VGA显示控制电路IP核^[4-5],具有较好的重构性,在适当修改代码的情况下,可移植到其他FPGA嵌入式系统作为显示控制器模块调用,实现高速存储设备后续显示终端高分辨率显示。

2 系统设计

2.1 总体方案设计

基于FPGA的波形显示系统整体结构框图如图1所示。系统主要由信号采集A/D芯片TLC5540、FPGA模块和VGA显示器组成。FPGA模块作为系统核心部分,主要完成数据读取、处理及逻辑控制,数据传输和数据的显示控制功能,该模块包含PLL模块、A/D控制模块、双口RAM和VGA显示控制模块。A/D控制模块为A/D芯片提供时钟信号ad_clk、使能信号ad_noe并为A/D转换后的数据ad_da提供缓存。双口RAM实现采样高速数据的缓存^[6]。VGA显示控制模块负责缓存数据的读取,数据的转换并产生适合VGA颜色显示的红、绿、蓝三基色信号RGB_da、行同步信号hsync和场同步信号vsync,使VGA显示器在VGA工业标准时序驱动下正确显示波形。

2.2 VGA硬件接口电路设计

标准的VGA接口由R、G、B三色模拟信号线和行、场同步数字信号线构成15针D型接口^[6],为了实现FPGA与VGA接口的正确连接和256种颜色的显示,具体的硬件电路如图2所示。由FPGA芯片所产生的8位颜色信号由D1至D8端口送入SN74HC573AN锁存器后,经锁存后由Q1至Q8端输出。Q1至Q3路数据经512 Ω 、1 k Ω 、2 k Ω 电阻网络合成VGA_RED信

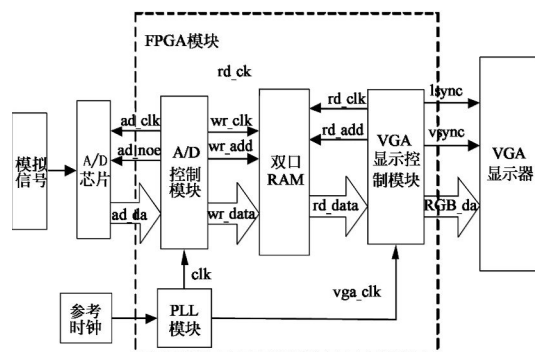


图1 系统硬件结构框图

Fig. 1 Hardware block diagram of the system

号,Q4至Q6路数据经512 Ω 、1 k Ω 、2 k Ω 电阻网络合成VGA_GREEN信号,Q7至Q8路数据经512 Ω 、1 k Ω 电阻网络合成VGA_BLUE信号。FPGA芯片所产生的行同步HSYNC、场同步VSYNC时序驱动信号经过限流电阻连接到VGA接口的行、场同步引脚。

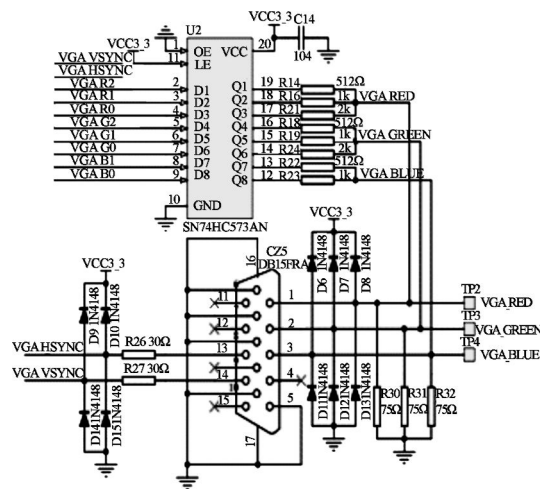


图2 FPGA与VGA接口连接电路

Fig. 2 Connection circuit between FPGA and VGA interface

3 波形显示控制器设计

3.1 VGA时序关系分析

VGA显示器主要是通过逐行扫描方式实现图形信号的显示^[7-8]。为了便于实现,FPGA内部主时钟为50 MHz,通过锁相环PLL得到25 MHz VGA接口时钟信号。利用行计数器和场计数器实现行、场时序驱动。具体的行扫描信号和场扫描信号的时序关系如图3所示。

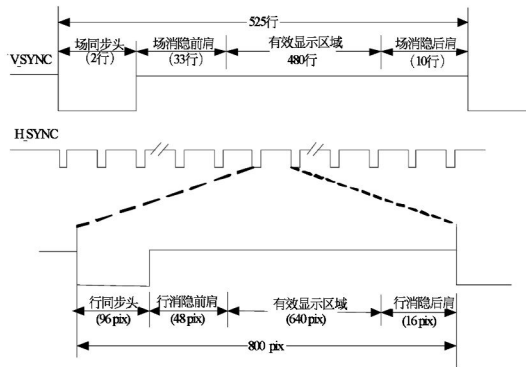


图3 行信号与场信号时序关系图

Fig. 3 Sequence diagram of level signal and vertical signal

本设计中的显示模式为 $640 \times 480 \times 60$ Hz, 每个像素点的输出频率为 25.175 MHz, 行频率为 31 469 Hz, 场频率为 59.94 Hz^[9-10]。一个周期行扫描信号由 96 个 pix 时间同步头、48 个 pix 行消隐前肩、640 个有效数据显示区域和 16 个 pix 行消隐后肩组成。场信号计数器驱动时钟是行计数器的溢出信号, 即当行计数器为 800 个 pix 时, 场计数器加 1。因此场计数器一个周期是 525 行, 在行计数器和场计数同时计数到有效显示区域时, 图形数据才能正确。

3.2 波形显示方法

VGA 显示器采取从左到右, 从上而下的方式扫描, 利用行、场同步计数器可以确定图形像素扫描点在显示区域中的相对坐标位置与在双口 RAM 中的地址数量关系, 由此完成图形数据在显示区域的显示。

假设 x 表示行计数器值, y 表示场计数器值, (x, y) 表示为扫描点在显示区域的任何一像素点。波形显示区域大小为 $M \times N$ (位于 640×480 区域内), 起始点位置为 (x_0, y_0) , 则扫描点坐标 (x, y) 在波形显示区域满足如下关系:

$$\begin{cases} x_0 \leq x \leq x_0 + M \\ y_0 \leq y \leq y_0 + N \end{cases}, \quad (1)$$

其中: M 表示显示区域长度, N 表示显示区域宽度。

确定 $x_1 = x - x_0$ 作为双口 RAM 存储器的读地址, 利用 x_1 值作为波形数据在双口 RAM 中的地址读取数据 $da(x_1)$, 通过比较 $da(x_1)$ 和 $y_1 = y - y_0$ 的值确定是否显示数据。比较简单的显示方法是: 如果 $da(x_1)$ 和 y_1 相等则指定颜色显示数据, 否则显示背景色。该方法不能连续显示频

率较高的波形, 容易丢失波形陡峭位置的信息, 视觉效果不好。为此对该方法进行改进, 可以实现任意频率波形的显示, 具体的波形数据显示方法流程如图 4 所示。扫描点 (x, y) 随着 x, y 的改变移动显示位置, 在扫描点到达波形显示区域 (x, y) 时, 利用 x_1 作为波形数据在双口 RAM 中的地址读取。数据 $da(x_1 - 1)$, $da(x_1)$, 将 y_1 值与当前波形数据 $da(x_1)$ 和前一时刻波形数据 $da(x_1 - 1)$ 进行比较, 如果 y_1 值介于二者之间, 则在扫描点 (x, y) 处按照指定的颜色显示波形像素点, 否则显示背景色。

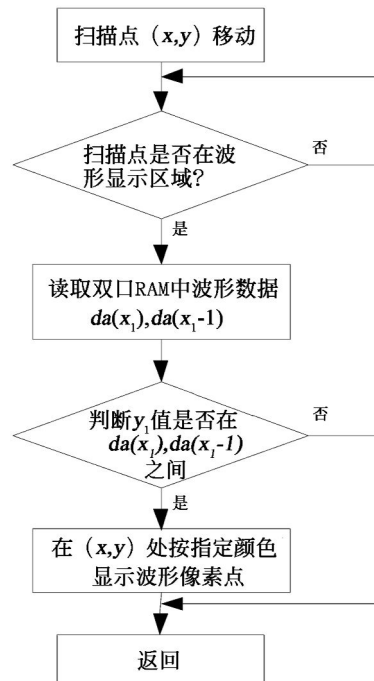


图4 波形数据显示流程图

Fig. 4 Flow chart of waves data display

3.3 VGA 显示控制模块设计

FPGA 芯片主要完成外部波形数据的采集和控制图形数据的 VGA 显示。由于采集图形数据量较大, 利用 FPGA 自带的可配置的双口 RAM 模块作为缓冲区。根据显示波形区域大小和 $640 \times 480 \times 60$ Hz 显示模式, RAM 存储的数据大小为 512, 数据地址位宽 9 位。FPGA 只需要通过显示控制模块对 RAM 进行读取操作, 然后按照波形显示方法完成波形像素位置与颜色显示的转化, 最后产生标准的 VGA 接口时序实现像素点的显示。因此, 显示控制模块的设计是实现 VGA 显示的关键。该模块中产生标准的 VGA 接口行、场信号时序即可驱动显示器, 利用

双口 RAM 的“满”标志信号读取数据,对读取的数据进行转换处理,完成数据的显示。其关键 Verilog HDL 代码如下:

```
module disp_controller (vga_clk, disp_ena,
    vcount, hcount, rd_data, rd_addr, disp_data);
    input vga_clk; //25MHz 时钟
    input disp_ena; //波形显示使能
    input [9:0]hcount; //VGA 行扫描计数器
    input [9:0]vcount; //VGA 场扫描计数器
    input [8:0]rd_data; //波形存储器读数据
    output [8:0]rd_addr; //波形存储器读地址
    output [7:0]disp_data; //显示数据输出
    reg [8:0]rd_data_r;
    reg [8:0]rd_addr_r;
    reg [7:0]disp_data_r;
    wire [8:0]vcount_r;
    wire grid; //显示栅格标志
    wire wave; //显示波形标志
    parameter WaveColor=8'h1c; //波形颜色绿
    parameter GridColor=8'h00; //栅格颜色黑
    parameter BackColor=8'h2f; //背景颜色浅蓝
    //双口 RAM 地址
    assign rd_addr= hcount[8:0] - 9'd32;
    assign disp_data = disp_data_r;
    assign vcount_r = 9'd479 - vcount[8:0];
    //波形显示计算
    always @(posedge vga_clk)
    begin
        rd_data_r <= rd_data; //锁存上一时刻值
    end
    assign wave = ((vcount_r >= rd_data_r) &&
        (vcount_r <= rd_data)) || ((vcount_r <= rd_data_r) &&
        (vcount_r >= rd_data));
    //栅格显示计算,共分 16 大格,每一大格分 4 小格,每小格包括 8 个数据点
    assign grid = (((hcount[4:0] == 5'd0) &&
        (vcount[1:0] != 2'd1)) || (hcount[8:0] == 9'd320)
        || (vcount[0] == 1'b0) && (hcount[2:0] == 3'd0));
    //显示数据输出
    always @(posedge vga_clk)
    begin
        if(wave && disp_ena) //显示波形
            disp_data_r <= WaveColor;
```

```
        else if(grid) //显示栅格
            disp_data_r <= GridColor;
        else //显示背景
            disp_data_r <= BackColor;
    end
endmodule
```

4 时序仿真与验证

本文采用的 FPGA 芯片选择 Altera 公司的 Cyclone 系列 EP3C55F484C8 器件,使用 Verilog HDL 硬件描述语言,在 Quartus II 9.0 环境下完成了显示控制模块的设计并进行了相应的时序仿真,VGA 接口时序仿真如图 5、图 6、图 7 所示。

vga_clk 是 25 MHz 行计数器时钟信号;data_in 是读取双口 RAM 的波形数据;disp_data 是 VGA 显示颜色数据;vsync 是场同步信号,hsync

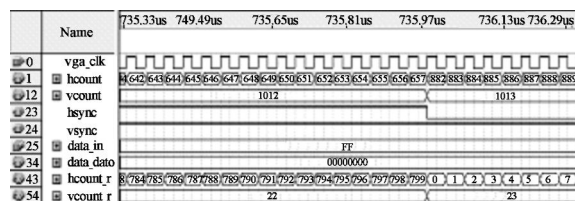


图 5 VGA 接口时序仿真图(a)

Fig. 5 Timing simulation charts of VGA interface (a)

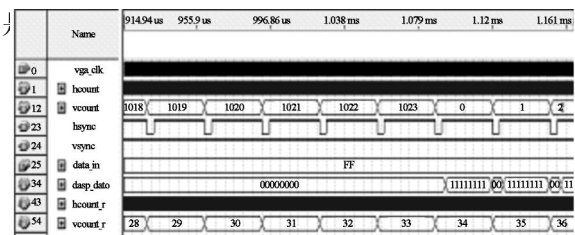


图 6 VGA 接口时序仿真图(b)

Fig. 6 Timing simulation charts of VGA interface (b)

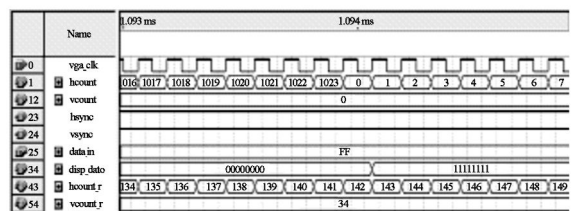


图 7 VGA 接口时序仿真图(c)

Fig. 7 Timing simulation charts of VGA interface (c)

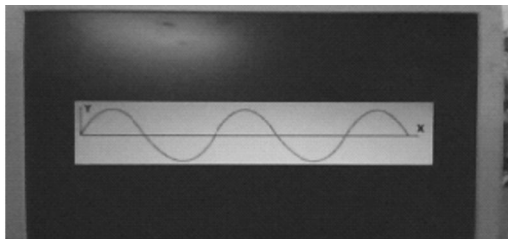


图 8 显示器波形显示结果

Fig. 8 Waveform display results of the monitor

为场计数器。由图可知:行计数器 hcount_r 计数到 799, 行计数器清零, 开始重新计数, 此时行同步信号 hsync 由高电平变为低电平, 进入下一行的行消隐期, 场计数器 vcount_r 加 1, 当行计数器 hcount_r 计数到 143, 场计数器 vcount_r 计数到 34, 且行同步信号 hsync 为高电平, 场同步信号 vsync 为高电平, 此时 VGA 接口数据信号 disp_data 输出颜色数据 FF, VGA 接口信号严格满足接口时序要求。

参 考 文 献:

- [1] 郑争兵. 一种基于 FPGA 的 UART 电路设计[J]. 国外电子测量技术, 2010, 29(7): 85-87.
Zheng Z B. Design of UART circuit based on FPGA [J]. *Foreign Electronic Measurement Technology*, 2010, 29(7): 85-87. (in Chinese)
- [2] 郑争兵. 基于 FPGA 的 FSK 调制解调系统设计[J]. 陕西理工学院学报: 自然科学版, 2012, 28(5): 20-21.
Zheng Z B. Design of FSK modulation and demodulation system based on FPGA [J]. *Journal of Shaanxi University of Technology: Natural Science Edition*, 2012, 28(5): 20-21. (in Chinese)
- [3] 郑争兵. 基于 DSP Builder 的 FIR 数字滤波器设计与验证[J]. 陕西理工学院学报: 自然科学版, 2013, 29(2): 34-38.
Zheng Z B. Design and simulation of FIR digital filter based on DSP builder [J]. *Journal of Shaanxi University of Technology: Natural Science Edition*, 2013, 29(2): 34-38. (in Chinese)
- [4] 刘敏, 戴曙光, 穆平安. 采用 SOPC IP 核技术实现液晶屏显示[J]. 液晶与显示, 2011, 26(5): 665-667.
Liu M, Dai S G, Mu P A. Controller for TFT LCD driver based on SOPC [J]. *Chinese Journal of Liquid Crystals and Displays*, 2011, 26(5): 665-667. (in Chinese)
- [5] 郑争兵. 基于 FPGA 的图形点阵液晶显示系统设计与实现[J]. 液晶与显示, 2013, 28(3): 403-407.
Zheng Z B. Design and implementation of graphics dot matrix LCD based on FPGA [J]. *Chinese Journal of Liquid Crystals and Displays*, 2013, 28(3): 403-407. (in Chinese)
- [6] 郑争兵. 基于 FPGA 的高速采样缓存系统的设计与实现[J]. 计算机应用, 2012, 32(11): 3259-3261.
Zheng Z B. Design and implementation of a high-speed sampling buffer system based on FPGA [J]. *Journal of Computer Applications*, 2012, 32(11): 3259-3261. (in Chinese)
- [7] 熊文彬, 蒋泉, 曲建军, 等. 基于 FPGA 实现的视频显示系统[J]. 液晶与显示, 2011, 26(1): 92-93.
Xiong W B, Jiang Q, Qu J J, et al. Video display system based on FGPA [J]. *Chinese Journal of Liquid Crystals and Displays*, 2011, 26(1): 92-93. (in Chinese)
- [8] 袁堂青, 张玉璘. 基于 FPGA 的 VGA 汉字显示系统设计与实现[J]. 济南大学学报: 自然科学版, 2011, 25(1): 37-38.
Yuan S T, Zhang Y L. Design and implementation of VGA chinese character display based on FPGA [J]. *Journal*

为验证系统在 $640 \times 480 \times 60$ Hz 显示模式下的显示效果, 系统上电后通过 VGA 接口在显示器上显示采集的波形信号图, 显示区域大小为 512×128 位于显示屏中央, 其实物效果图如图 8 所示。显示效果良好, 显示位置可以任意调整。

5 结 论

以 $640 \times 480 \times 60$ Hz 显示模式为例, 结合 FPGA 芯片控制, 阐述了一种基于 FPGA 的 VGA 波形显示方法, 并在 Altera 公司的 Cyclone 系列 EP3C55F484C8 器件进行了验证, 波形数据能够连续稳定地显示。该显示设计方法能够应用于其他分辨率 ($1\,024 \times 768$, $1\,280 \times 720$, $1\,920 \times 1\,080$ 等) 的 VGA 显示, 且 FPGA 具有可重配置性和丰富的片内资源, 编程大大简化, 且基于 FPGA 开发的 VGA 显示控制模块, 具有自主知识产权 IP 核, 方便移植, 为基于 FPGA 的嵌入式终端显示提供了一个较好的解决方案。

- of University of Jinan: Science and Technology*, 2011, 25(1): 37-38. (in Chinese)
- [9] 陈彬, 伍乾永, 刘永春. 基于FPGA的VGA控制模块设计[J]. *微电子学*, 2008, 38(2): 306-307.
Chen B, Wu Q Y, Liu Y Q. Design of VGA control module based on FPGA [J]. *Microelectronics*, 2011, 26(1): 92-93. (in Chinese)
- [10] 王鸣浩, 吴小霞. 基于FPGA的通用液晶显示控制器的设计和实现[J]. *液晶与显示*, 2012, 27(1): 87-88.
Wang M H, Wu X X. Design and realization of general LCD controller based on FGPA [J]. *Chinese Journal of Liquid Crystals and Displays*, 2012, 27(1): 87-88. (in Chinese)

作者简介:郑争兵(1980—),男,湖北黄冈人,硕士,讲师,主要研究领域为嵌入式系统设计及应用、无线通信技术方面的研究。E-mail: snutdevotion@163.com